

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-274307

(43)Date of publication of application : 18.10.1996

(51)Int.Cl.

H01L 29/762

H01L 21/339

(21)Application number : 07-095858

(71)Applicant : NEC CORP

(22)Date of filing : 30.03.1995

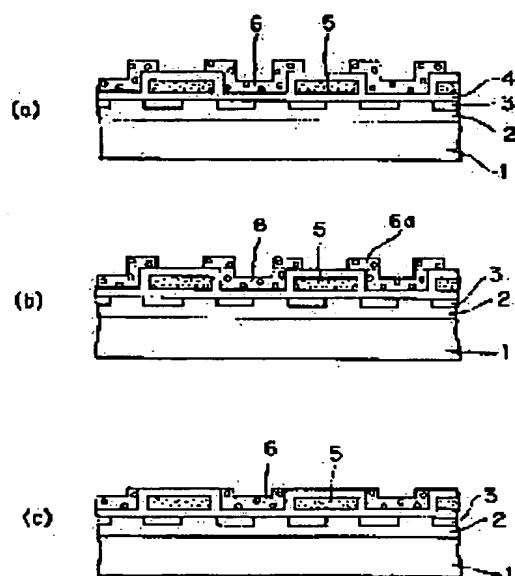
(72)Inventor : HATANO KEISUKE

(54) CHARGE COUPLED DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To reduce power dissipation and to enable high-speed operation by lowering the coupling capacitance between transfer electrodes. To improve the smear characteristic of a solid-state image sensing device by decreasing the rise of the step.

CONSTITUTION: A buried channel layer 2 and barrier layers 3 are formed on a p-type silicon substrate 1, and first-layer transfer electrodes 5 and second-layer transfer electrodes 6 are formed on a substrate with an gate insulating layer 4 interposed between (a). The lapped parts of the second-layer transfer electrodes 6 over the first-layer transfer electrodes 5 are removed by a chemical mechanical polishing(CMP) method (c). A layer insulating film is formed, and interconnection of pulse transmission lines is performed.



LEGAL STATUS

[Date of request for examination] 30.03.1995

[Date of sending the examiner's decision of rejection] 11.03.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3150050

[Date of registration] 19.01.2001

[Number of appeal against examiner's decision of rejection] 11-05758

[Date of requesting appeal against examiner's decision of rejection] 12.04.1999

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-274307

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/762 21/339			H 0 1 L 29/76	3 0 1 A

審査請求 有 請求項の数 7 F D (全 7 頁)

(21)出願番号 特願平7-95858

(22)出願日 平成7年(1995)3月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 畑野 啓介

東京都港区芝五丁目7番1号 日本電気株式会社内

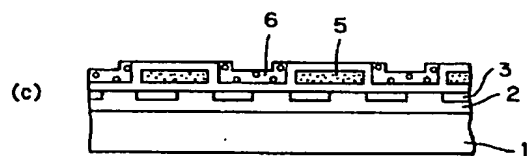
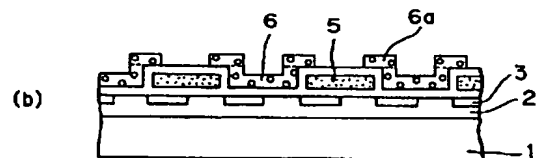
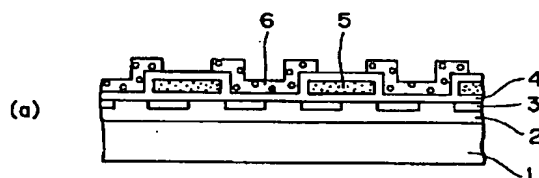
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 電荷結合装置およびその製造方法

(57)【要約】

【目的】 転送電極間の結合容量を低くして、消費電力を削減し高速動作を可能にする。段差を少なくして、固体撮像素子のスミア特性を改善する。

【構成】 p型シリコン基板1上に埋め込みチャンネル層2、バリア層3を形成し、基板上にゲート酸化膜4を介して、第1層目の転送電極5と第2層目の転送電極6を形成する〔図2(a)〕。ケミカル・メカニカル・ポリッシング(CMP)法により、第2層目の転送電極6の、第1層目の転送電極5と重なった部分を除去する〔図2(c)〕。層間絶縁膜を形成し、パルス伝送線の配線を施す。



6a…第2層目の転送電極の上部

【特許請求の範囲】

【請求項1】 半導体基板の表面部に設けられたチャネル領域上に複数の転送電極が電荷転送方向に沿って狭い間隙を隔てて配列されている電荷結合装置において、前記電荷転送電極は隣接する電極同士が異なる層の導電層によって構成され、かつ、隣接する電荷転送電極同士は重なり合う部分を有していないことを特徴とする電荷結合装置。

【請求項2】 半導体基板上の非活性領域に形成されたフィールド酸化膜の表面の高さが、前記電荷転送電極の表面の高さより低いことを特徴とする請求項1記載の電荷結合装置。

【請求項3】 前記電荷転送電極がポリシリコンにより形成されていることを特徴とする請求項1記載の電荷結合装置。

【請求項4】 (1) 半導体基板の表面部に設けられたチャネル領域上に絶縁膜を介して第1層の導電層を形成し、これをパターニングして前記チャネル領域上に第1の電荷転送電極を形成する工程と、

(2) 前記第1の電荷転送電極上に絶縁膜を介して第2層の導電層を形成し、これをパターニングして前記チャネル領域上に一部領域が前記第1の電荷転送電極と重なる第2の電荷転送電極を形成する工程と、

(3) 電荷転送電極の重なり合う部分の導電層を除去する工程と、を備えることを特徴とする電荷結合装置の製造方法。

【請求項5】 前記第(2)の工程と同様の工程が1ないし複数回繰り返され、既に形成された電荷転送電極に絶縁膜を介して一部領域が重なる電荷転送電極が必要層数形成されることを特徴とする請求項4記載の電荷結合装置の製造方法。

【請求項6】 (1) 半導体基板の表面部に設けられたチャネル領域上に絶縁膜を介して第1層の導電層を形成し、これをパターニングして前記チャネル領域上に第1の電荷転送電極を形成する工程と、

(2) 前記第1の電荷転送電極上に絶縁膜を介して第2層の導電層を形成する工程と、

(3) 前記第1の電荷転送電極上に重なる前記第2の導電層の部分除去する工程と、

(4) 前記第2層の導電層をパターニングして前記チャネル領域上に第2の導電層からなる第2の電荷転送電極を形成する工程と、を備えることを特徴とする電荷結合装置の製造方法。

【請求項7】 前記第(3)の工程における導電層の重なり部分の除去が、ケミカル・メカニカル・ポリッシング法(CMP法)を用いて行われることを特徴とする請求項4または6記載の電荷結合装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、エリア固体撮像素子、

リニア固体撮像素子、メモリ、遅延素子等に用いられる電荷結合装置(Charge Coupled Device:CCD)の構造およびその製造方法に関し、特に、転送電極間の結合容量を小さく改善した電荷結合装置およびその製造方法に関するものである。

【0002】

【従来の技術】 例えば、固体撮像素子では近年の高画素化の傾向に伴い電荷転送の高速化が要求されている。電荷の高速転送を実現するためには、転送電極間の結合容量を低減化することが極めて重要である。図9(a)

は、従来のCCDを用いたエリア固体撮像素子の平面図であり、図9(b)はそのB-B線の断面図である。

【0003】 通常、2層ないし3層のポリシリコン膜を用いて転送電極を形成するが、ここでは2層のポリシリコン膜を用いた例について説明する。図9(a)において、10は、光の強弱に応じた電荷を蓄積する光電変換部、5はポリシリコンからなる第1層目の転送電極、6はポリシリコンからなる第2層目の転送電極であり、これら転送電極下には埋め込みチャネル層が設けられている。

【0004】 光電変換部10に蓄積された電荷は、一定時間毎に10V以上の高電圧の印加される第2層目の転送電極6下のチャネル層に読み出され、その後、転送電極5および6に転送パルスが印加されることにより、転送チャネル中を図9(a)の下方に向けて転送される。

【0005】 図9(b)に示されるように、p型シリコン基板1上の所定領域には、通常のCCDレジスタで広く採用されている埋め込みチャネル層2が形成されている。この埋め込みチャネル層2にはn型不純物がドーピングされている。この埋め込みチャネル層の形成された半導体基板1の表面にはゲート酸化膜4を介して第1層目の転送電極5が一定ピッチで配列され、さらにこれらの第1層目の転送電極5の間に第2層目の転送電極6が配列されている。転送効率を低下させないためには、転送電極同士を極力近づける必要があり、製造工程上の加工精度関係で第2層目の転送電極6はその端部が第1層目の転送電極5上にせり出して設けられる。

【0006】

【発明が解決しようとする課題】 以上説明した従来例の構造では、2層のポリシリコン電極が端部で重なり合うように形成されるため、第1層目の転送電極と第2層目の転送電極との間の結合容量が大きくなる。結合容量が大きくなると消費電力が大きくなると同時に、デバイスを駆動するためのドライバの負担が大きくなり高速駆動が困難になるという問題が起こる。

【0007】 また、転送電極の重なり部分ではデバイスの段差が大きくなり、その表面でのフォトリソグラフィ工程の加工が困難になりまたその加工精度が低下する。さらに、固体撮像素子に用いられる場合には、段差によって生じる遮光膜下の隙間から光がCCDのチャネル層

内に漏れ込み、スミア特性を劣化させる。

【0008】これらの問題点を解決するために、例えば、IEDM Tech. Dig., pp. 705~708, 1994に示されるように、1層のポリシリコン電極材料をレジストマスクによりエッチングし、細い間隔で対向する電極パターンの繰返しを形成し転送電極を構成するという方法も提案されている。しかし、CCDレジスタ中を100%に近い効率で電荷転送するには電極間隔は0.2 μm 以下にする必要があるところ、現状の量産に用いられるリソグラフィ技術ではこのような精度で加工することは困難である。

【0009】本発明は、上述した従来例の問題点に鑑みてなされたものであって、転送電極間の結合容量を小さくして高速転送に適合させるとともに消費電力を小さくし、同時に、デバイスの段差を低減することによって上層での加工を容易にしさらに固体撮像素子におけるスミア特性を改善することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、本発明によれば、半導体基板の表面部に設けられたチャネル領域上に複数の転送電極が電荷転送方向に沿って狭い間隔を隔てて配列されている電荷結合装置において、前記電荷転送電極は隣接する電極同士が異なる層の導電層によって構成され、かつ、隣接する電荷転送電極同士は重なり合う部分を有していないことを特徴とする電荷結合装置、が提供される。

【0011】また、本発明によれば、(1)半導体基板の表面部に設けられたチャネル領域上に絶縁膜を介して第1層の導電層を形成し、これをパターニングして前記チャネル領域上に第1の電荷転送電極を形成する工程と、(2)前記第1の電荷転送電極上に絶縁膜を介して第2層の導電層を形成し、これをパターニングして前記チャネル領域上に一部領域が前記第1の電荷転送電極と重なる第2の電荷転送電極を形成する工程と、(3)電荷転送電極の重なり合う部分の導電層を除去する工程と、を有する電荷結合装置の製造方法、が提供される。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【第1の実施例】図1(a)は、本発明の第1の実施例を示す平面図であり、図1(b)はそのA-A線の断面図である。図1(b)に示されるように、p型シリコン基板1上に、n型の埋め込みチャネル層2が設けられており、埋め込みチャネル層2の表面領域内には、ボロンドープにより形成されたバリア層3が設けられている。基板上には、ゲート酸化膜4を介してポリシリコンからなる第1層目の転送電極5と第2層目の転送電極6が形成されている。第2層目の転送電極6は、第1層目の転送電極間の凹部に絶縁膜を介して埋め込まれており、第1層目の転送電極5上に第2層目の転送電極6がせり上

がっていない。

【0013】転送電極5、6上には層間絶縁膜7を介してアルミニウムからなるパルス伝送線9が形成されている。パルス伝送線9はコンタクト8を介して第2層目の転送電極6に接続されている。第1層目の転送電極5は、図1(a)に示されるように、図の下側に引き出され相互に接続されている。第1層目の転送電極5と、第2層目の転送電極6には、互いに逆相の2相の転送パルスが印加され、これにより信号電荷は図の右側に向かって転送される。

【0014】次に、図2を参照して本発明の第1の実施例の製造方法について説明する。なお、図2(a)~(c)は、この第1の実施例の製造方法を説明するための、図1(a)のA-A線での工程順断面図である。まず、p型シリコン基板1上に、フォトリソグラフィ法やイオン注入法などを適用して埋め込みチャネル層2、バリア層3を形成する。続いて、熱酸化を行ってシリコン基板1上にゲート酸化膜4を形成し、その上にCVD法によりポリシリコンを堆積し、これをフォトリソグラフィ法およびRIE(Reactive Ion Etching)法を適用してパターニングし、第1層目の転送電極5を形成する。熱酸化を行って、第1層目の転送電極5の表面に酸化膜を形成した後、同様の方法により、第2層目の転送電極6を形成する【図2(a)】。ここまでの工程は従来例の場合と変わるところはない。

【0015】次いで、ケミカル・メカニカル・ポリッシング法(CMP法)により図2(b)の断面図に示される第2層目の転送電極の上部6aを選択的に除去する。その結果、図2(c)の断面図に示されるように、転送電極同士の重なり部のない電極構造を得ることができる。次に、全面に層間絶縁膜を堆積し、第2層目の転送電極6とのコンタクトをとるための開孔を行った後、スパッタ法によりアルミニウムを被着しこれをパターニングして図1に示す電荷結合装置を得る。

【0016】【第2の実施例】図3は、本発明の第2の実施例を示す断面図である。本実施例は、基本的に第1の実施例と同様であるが、本実施例においては、第2層目の転送電極の下にバリア層3が形成され、隣接する1対の転送電極を連結して1つの転送電極を構成してい

る。

【0017】この実施例の製造するには、第1層目の転送電極5を形成した後、これをマスクとしてボロンをイオン注入してバリア層3を形成する。その後、第2層目の転送電極6を形成し、第1の実施例の場合と同様にCMP法により、第2層目の転送電極6の重なり部分を除去する。本実施例によれば、バリア層を転送電極に対して自己整合的に形成することができるため、第1の実施例の場合よりも転送効率を向上させることができる。

【0018】【第3の実施例】次に、図4および図5を参照して本発明の第3の実施例について説明する。本実

施例は本発明を固体撮像素子のCCDレジスタに適用した場合に関するものであって、図5はその平面図を、図4(a)、(b)はその製造方法を説明するための工程順平面図である。図4(a)は、光電変換部10および埋め込みチャネル層(図示なし)の設けられた半導体基板上に第1層目、第2層目の転送電極5、6を形成した後の状態が示されている。この状態でのA-A線での断面図は図2(a)に示した断面図と同様である。図4

(a)の平面図において、渡し部11における第2層目の転送電極6は第1層目の転送電極5上に完全に重なり合うように形成される。ここまでの製造工程は従来例の場合と同様である。

【0019】次いで、CMP法により、図4(b)に示すように、第2層目の転送電極6の第1層目の転送電極5上に重なった部分を選択的に除去する。この工程により、転送電極どうしの重なり部のない電極構造を得ることができる。このとき、平面形状において、第2層目の転送電極6は第1層目の転送電極5の凸部に対向して島状に形成される。なお、この状態での断面形状は図2

(c)に示す断面図と同様の状態となる。

【0020】次に、層間絶縁膜を被覆したのち、第2層目の転送電極6とのコンタクト8をとるための開孔を行い、タングステン(W)などの金属膜を被着し、これをバタニングしてチャネル上を覆う遮光膜を兼ねたパルス伝送線9aを形成すれば、図5に示す固体撮像素子を得ることができる。この遮光膜を兼ねたパルス伝送線9aの形成工程において、タングステンなどの金属膜は段差の少ない半導体基板上に形成されているため、加工が容易であり、また遮光膜と半導体基板間の隙間を少なくすることができるため、チャネル層に進入する光を減少させることができ、スミア特性を改善することができる。

【0021】なお、CMP法により第1層目の転送電極の上に設けられた第2層目の転送電極を除去する際に、周辺部のフィールド酸化膜(図示せず)の表面が光電変換部10や埋め込みチャネル層の領域のシリコン基板表面よりも高いと研磨パッドが装置表面に一樣に当たらず研磨されない領域が生じる。したがって、フィールド酸化膜を設ける部分は予めシリコン基板表面を0.3~0.5μm程度除去したのちフィールドを形成し、その高さが転送電極の表面の高さより低くなるようにすることが好ましい。

【0022】[第4の実施例]図6は、本発明の第4の実施例による固体撮像素子の平面図である。本実施例は、基本的には図5に示した第3の実施例と同様であるが、本実施例の場合には、埋め込みチャネル上に2本のパルス伝送線9が通されており、そして第2層目の転送電極は交互に左、右のパルス伝送線に接続されている。なお、本実施例においては、埋め込みチャネル層内にはバリア層は形成されていない。本実施例のCCDレジス

タにおいては、上記の構成により、4相駆動方式による電荷転送が可能になる。

【0023】[第5の実施例]図7は、本発明の第5の実施例による固体撮像素子の製造方法を説明するための工程順平面図である。第1層目の転送電極を形成するまでの製造工程は図4に示した第3の実施例の場合と同様であるので説明は省略する。本実施例では、第1層目の転送電極5を形成し、熱酸化等により第1層目の転送電極5を絶縁膜で被覆した後、第2層目の転送電極形成材料(ポリシリコン)を装置表面に被着する。

【0024】その後、CMP法により第1層目の転送電極5上の領域に設けられた第2層目の転送電極形成材料を除去すると、図7(a)に示すように、第1層目の転送電極5のない部分にのみ第2層目の転送電極形成材料層6bが形成される。次いで、第2層目の転送電極形成材料層6bをバタニングして、図7(b)に示すように、第2層目の転送電極6を形成する。図7(b)に示す平面構造は、図4(b)に示した第3の実施例の場合のそれと同様であり、これ以降の工程も第3の実施例(あるいは、第4の実施例)と同様の工程を行えばよい。本実施例においては、第2層目の転送電極6のバタニング時には、第1層目の転送電極5との重なり部分は既にCMP法により除去されているため、この部分については改めて除去する必要はない。

【0025】[第6の実施例]図8は、本発明の第6の実施例による固体撮像素子の製造方法を示す工程順平面図である。この第6の実施例においても、図8(a)、(b)の工程におけるA-A線に沿った断面構造は、図2(a)、(c)に示した第1の実施例と同様である。第3の実施例においては、図8(a)の平面図に示すとおり、渡し部11において第1層目の転送電極5上に第2層目の転送電極6は完全には重なり合わず、一部分のみが重なり合うように形成する。

【0026】次いで、CMP法により第2層目の転送電極の上部を選択的に除去し、図8(b)に示す平面形状を得る。本実施例においては、第2層目の転送電極6は島状ではなく、細線でもって接続されるため、パルス伝送線9とCCDレジスタ直上の領域でコンタクトをとる必要がなく、プロセスを簡略化できる。また、電荷転送のためのクロック選択の自由度も高くなる。

【0027】

【発明の効果】以上説明したように、本発明による電荷結合装置は、例えば第1層および第2層目の転送電極の重なり部を除去したものである。転送電極間の結合容量を小さくすることができる。したがって、本発明によれば、消費電力を低減することができるとともに高画素化等に伴う高速転送に対応することができるようになる。さらに、本発明によれば、半導体装置表面の段差を少なくすることができるので、フォトリソグラフィ工程の作業を容易にし、加工精度を向上させることができ

る。また、本発明を固体撮像素子に適用する場合には、チャンネル部に侵入する光を少なくしてスミア特性を改善することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例を示す平面図と断面図。

【図2】 本発明の第1の実施例の製造方法を説明するための工程順断面図。

【図3】 本発明の第2の実施例を示す断面図。

【図4】 本発明の第3の実施例の製造方法を説明するための工程順平面図。

【図5】 本発明の第3の実施例を示す平面図。

【図6】 本発明の第4の実施例を示す平面図。

【図7】 本発明の第5の実施例の製造方法を説明するための工程順平面図。

【図8】 本発明の第6の実施例の製造方法を説明するための工程順平面図。

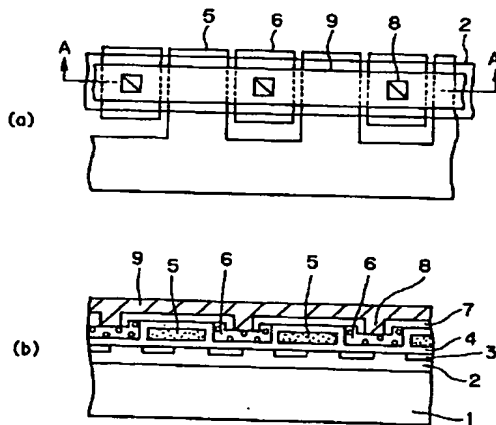
*

*【図9】 従来例の平面図と断面図。

【符号の説明】

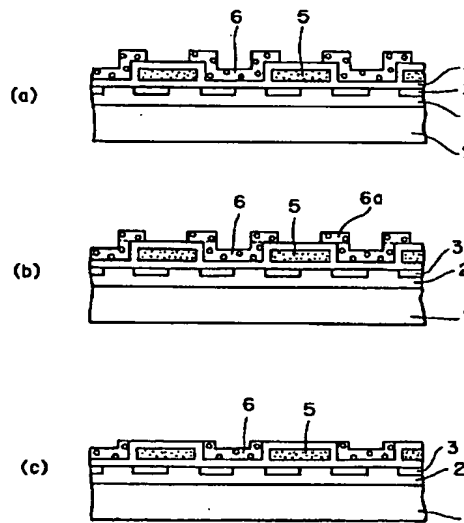
- 1 p型シリコン基板
- 2 埋め込みチャンネル層
- 3 バリア層
- 4 ゲート酸化膜
- 5 第1層目の転送電極
- 6 第2層目の転送電極
- 6a 第2層目の転送電極の上部
- 6b 第2層目の転送電極形成材料層
- 7 層間絶縁膜
- 8 コンタクト
- 9 パルス伝送線
- 9a 遮光膜を兼ねたパルス伝送線
- 10 光電変換部
- 11 渡し部

【図1】



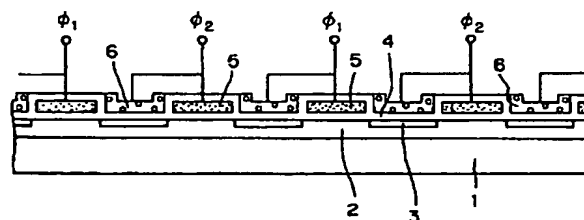
- 1…p型シリコン基板
- 2…埋め込みチャンネル層
- 3…バリア層
- 4…ゲート酸化膜
- 5…第1層目の転送電極
- 6…第2層目の転送電極
- 7…層間絶縁膜
- 8…コンタクト
- 9…パルス伝送線

【図2】

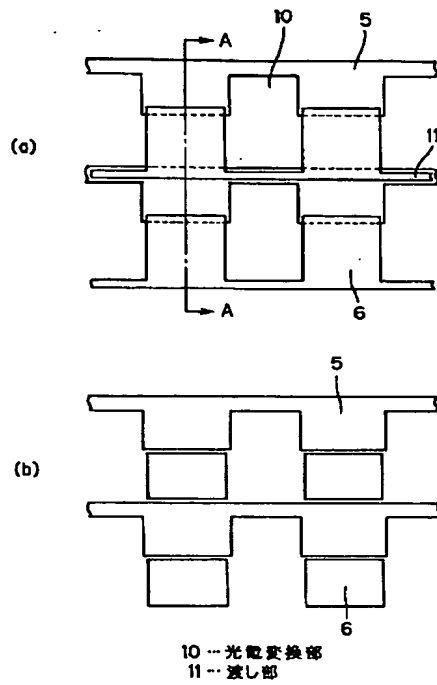


6a…第2層目の転送電極の上部

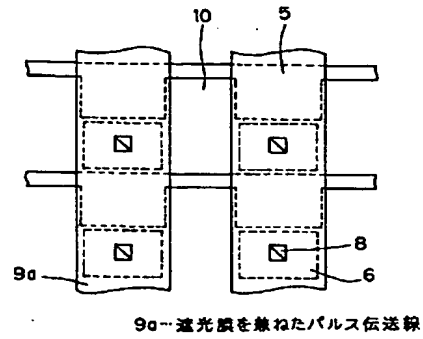
【図3】



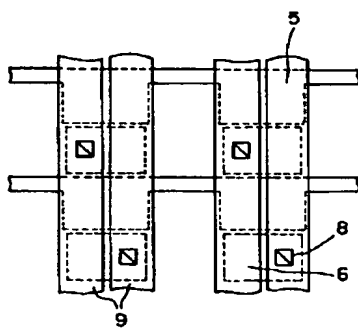
【図4】



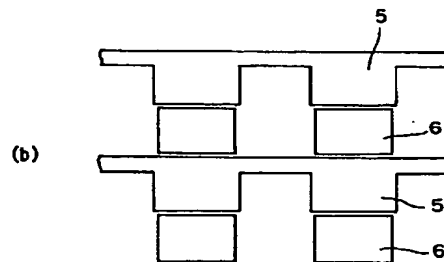
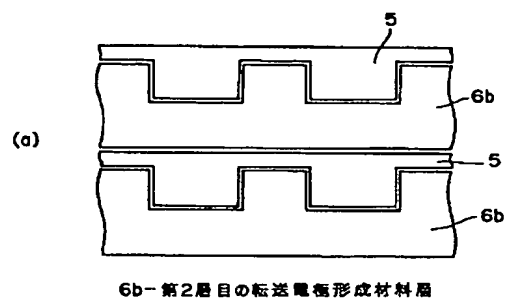
【図5】



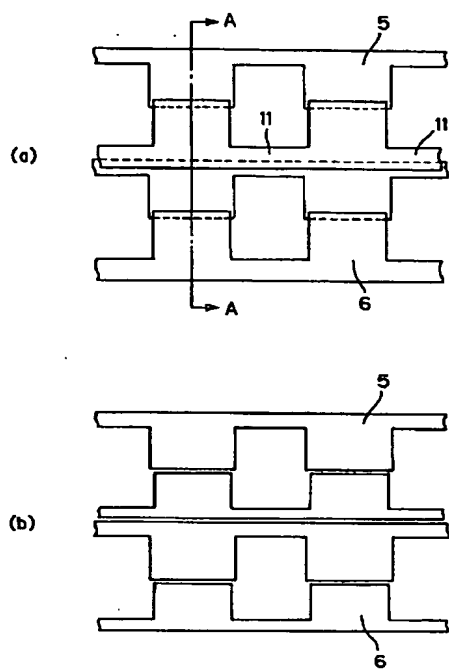
【図6】



【図7】



【図8】



【図9】

